

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-177156

⑤ Int. Cl.⁹

H 04 N 1/028
1/04

識別記号

1 0 3 A
Z
B

庁内整理番号

9070-5C
7037-5C
7037-5C

⑬ 公開 平成3年(1991)8月1日

審査請求 未請求 請求項の数 2 (全10頁)

⑭ 発明の名称 画像読取装置

⑯ 特 願 平1-315418

⑰ 出 願 平1(1989)12月6日

⑱ 発 明 者 竹 内 敏 幸 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

⑲ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号

⑳ 代 理 人 弁理士 谷 義 一

明 細 書

1. 発明の名称

画 像 読 取 装 置

2. 特許請求の範囲

1) 光源により照明された原稿からの光を結像する光学系と、該結像された光像を電気信号に変換する固体撮像素子とを有する画像読取装置において、

画像読出し速度が異なる2種類以上の画像読出し用のクロックを発生するクロック発生手段と、

前記固体撮像素子の電荷蓄積時間内に、使用対象の有効画像および不使用対象の無効画像を示す切換信号に応じて前記2種類以上のクロックのいずれか1つを択一的に選択して該固体撮像素子に供給する選択手段と

を具備したことを特徴とする画像読取装置。

2) 前記固体撮像素子の蓄積時間内に、画素読出

し速度の切換の時間幅を設定する設定手段と、
該設定手段の該設定に基づいて前記切換信号を発生する切換信号発生手段と、
前記設定手段で設定された前記画素読出し速度の切換の時間幅に基づいて増幅率を可変設定する増幅率可変手段と、

該増幅率可変手段で設定された増幅率により、前記固体撮像素子の出力信号を増幅する増幅器とを具備したことを特徴とする請求項1に記載の画像読取装置。

(以下余白)

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、原稿等の被写体を光学的に読み取り電気信号に変換する固体撮像素子を有する画像読取装置に関する。

〔従来の技術〕

一般に、画像読取装置は、原稿等の被写体を蛍光灯やハロゲンランプ等の光源で照射し、その反射光（または透過光）を光学レンズを通してCCD（電荷結合素子）などの光電変換部に結像させ、光電変換部からアナログ電気信号として取り出し、この電気信号をA/D（アナログ／デジタル）コンバータを用いてA/D変換を行い、デジタル画像を得る様に構成されている。この時、イメージセンサとして、固体撮像素子、例えば上記のCCDを用いる場合が多い。

CCDを用いて画像を読取る場合、CCDの蓄積時間を決定することにより、入力光量、画素読出し速度、暗時出力などのCCDの主要動作点が決定す

る。第4図にこのCCD駆動クロックと出力信号のタイミングを示すが、このCCDの蓄積時間 t_{int} に読取り副走査ライン数を掛けた値がこの画像読取装置の原稿の読取り時間となる。

原稿読取り速度をより速くしたい場合は原理的にはCCDの蓄積時間を小さくして行けばよいが、CCDの出力レベルはCCDの蓄積時間に比例しているため、蓄積時間を小さくすると同じ光量ではCCDの出力レベルも低くなる。また、この蓄積時間は光学系を移動するモータ（光学系モータと称する）などの応答特性などからも制限を受け、これらの制限条件に基づいて実際のCCDの蓄積時間が決定される。

しかし、入力光量が充分で応答も早い等の上記の条件に余裕がある場合は、今度はCCDの画素読出し速度によって蓄積時間は制限を受ける。このCCDの画素読出し速度は、一般にCCDの出力を増幅するための増幅器の特性、および画像処理するための全体のスループットとで決定される。

一方、第4図のタイミング図において、1ラ

〔発明が解決しようとする課題〕

しかしながら、従来装置では、原稿読取りをより速くしたい場合で、CCDの読出し速度で1ライン中の一部の画素のみを使用するにもかかわらず、1ライン出力の全ての画素を同じ画素読出し速度で読み出しているため、CCDの蓄積時間がその画素読出し速度で制限されてしまい、原稿読取り速度を実際には速くできないという解決すべき課題があった。

また、画像読取装置の階調性が向上するに従い、暗時出力電圧を無視できなくなり、暗時出力電圧と蓄積時間が比例しているため、蓄積時間をできるだけ短くしなければならないという解決すべき課題があった。

本発明の目的は、上述のような解決すべき課題に鑑み、CCD等の固体撮像素子の実際の蓄積時間を短縮して画像読取り速度の向上が得られる画像読取装置を提供することにある。

イン出力画素の2584画素の内で実際に使用する画素（有効画素と称する）が仮に1000画素であったとしても、従来装置では1ライン出力の2584画素を全て同じ画素読出し速度で読み出しを行っていた。ここで、一画素の送り時間を仮に $1\mu\text{s}$ とすると、CCDの蓄積時間の 2.584ms の内で実際の使用する画素（有効画素）の送り時間は 1ms となり、 1.584ms は無効画素の送り時間となっている。

また、第7図に示すように、CCDの暗時出力電圧は蓄積時間と、周囲温度とに比例する。この暗時出力電圧は、雑音の一種で、CCDに入射する光に関係なく発生する出力電圧である。従来の画像読取装置は階調数が16階調から64階調くらいであったので、この暗時出力電圧は無視していた。また、CRT（陰極線管）ディスプレイ等の表示画面上に読取り画像を表示する場合は、その表示画面の画素サイズの制限から全主走査画素は表示できず、ウィンド等を用いて一部の画素を表示するということが行なわれていた。

〔課題を解決するための手段〕

上記目的を達成するため、本発明は、光源により照明された原稿からの光を結像する光学系と、該結像された光像を電気信号に変換する固体撮像素子とを有する画像読取装置において、画像読出し速度が異なる2種類以上の画像読出し用のクロックを発生するクロック発生手段と、前記固体撮像素子の電荷蓄積時間内に、使用対象の有効画像および不使用対象の無効画像を示す切換信号に応じて前記2種類以上のクロックのいずれか1つを択一的に選択して該固体撮像素子に供給する選択手段とを具備したことを特徴とする。

また、本発明の一形態としては、前記固体撮像素子の蓄積時間内に、画像読出し速度の切換の時間幅を設定する設定手段と、該設定手段の該設定に基づいて前記切換信号を発生する切換信号発生手段と、前記設定手段で設定された前記画像読出し速度の切換の時間幅に基づいて増幅率を可変設定する増幅率可変手段と、該増幅率可変手段で設定された増幅率により、前記固体撮像素子の出力

(Ⅳ) また、本発明では、上述のように固体撮像素子の蓄積時間を短くできるので、画像読取装置の階調性を上げた場合に、暗時出力電圧の影響を少なくすることができる。

〔実施例〕

以下、図面を参照して本発明の実施例を詳細に説明する。

①基本構成

第1図は本発明実施例の基本構成を示す。同図において、cは光源aにより照明された原稿bからの光を結像する光学系である。

Aは光学系cで結像された光像を電気信号に変換する固体撮像素子である。

Bは画像読出し速度が異なる2種類以上の画像読出し用のクロックを発生するクロック発生手段である。

Cは固体撮像素子Aの電荷蓄積時間内に、使用対象の有効画像および不使用対象の無効画像を示す切換信号に応じて上記2種類以上のクロックの

信号を増幅する増幅器とを具備したことを特徴とする。

〔作用〕

(Ⅰ) 本発明では、2種類以上の画像読出し速度を用意して、固体撮像素子の1ラインの蓄積時間内に固体撮像素子の画像読出し速度を切換えることにより、1ライン中の無効な画素をできるだけ高速な画像読出し速度で送れる様にしたので、その固体撮像素子の蓄積時間を短縮することができる。

(Ⅱ) また、本発明では、1ラインの蓄積時間内に切換える有効画像読出し速度での時間幅を任意に設定する手段を設けることにより、有効画素以外の画素を高速で送り出し、画像読取装置全体のスループットを向上することができる。

(Ⅲ) また、本発明では、有効画素の幅と連動して増幅度の可変できる増幅器を設けることにより、蓄積時間の変化によって固体撮像素子の出力信号が変化するのを補正することができる。

いずれか1つを択一的に選択して固体撮像素子Aに供給する選択手段である。このクロックの周波数が切換わることにより、固体撮像素子Aの画像読出し速度が切換わることとなる。

さらに本発明の一形態として、次のものがある。

Dは固体撮像素子Aの蓄積時間内に、画像読出し速度の切換の時間幅を設定する設定手段である。Eはこの設定手段Dの設定に基づいて上記切換信号を発生する切換信号発生手段である。Fはその設定手段Dで設定された上記画像読出し速度の切換の時間幅に基づいて増幅率を可変設定する増幅率可変手段である。Gはこの増幅率可変手段Fで設定された増幅率により、固体撮像素子Aの出力信号を増幅する増幅器である。

②第1実施例

第2図は本発明の一実施例の画像読取装置の回路構成を示す。同図において、101は照明光源により照明された原稿からの反射光(原稿が紙ではなく、マイクロフィルムのような場合は透過光)

を結像光学系を介して受光し、電気信号に変換する固体撮像素子としてのCCD（電荷結合素子）である。このCCD101はCCDラインセンサあるいはCCDアレイまたはCCDイメージセンサ等とも称する。102はこのCCD101から得られるアナログ出力信号を増幅する可変増幅器、103は可変増幅器102から出力するアナログ信号をデジタル信号に変換するA/D（アナログ／デジタル）変換器である。

104は、CCD101に供給されるクロックとして有効画素クロック1と無効画素クロック2とを後述の切換信号に応じて択一的に選択するCCDドライバ兼用のセレクト、105は有効画素クロック1と無効画素クロック2を発生するクロック発生回路である。

106は上記のA/D変換器103から得られるデジタル信号に対して所定の画像処理、例えばシェーディング補正やγ補正、あるいは濃度調整等を施す画像処理回路である。107は装置全体の制御を司るCPU（中央演算処理装置）であり、第8図示す

に、無効画素に対しても全て有効画素クロックのバース幅でCCDを読み出し制御していた従来技術と比べて、本実施例では1ライン中の無効な画素を有効な画素よりもできるだけ高速な読み出し速度で送れるので、固体撮像素子の蓄積時間を大幅に短縮でき、画像読取装置全体のスループットを向上できるということがわかる。

第4図は、第2図のCCD1の出力信号DOS、OSと、上記のCCDクロックΦ_{1A}、Φ_{2A}、RSと、SH信号と、切換信号との出力タイミングの関係を示す。

第5図は第2図に示した本発明の実施例の画像読取装置（以下、スキャナと称する）と外部装置（例えば、レーザービームプリンタ、パーソナルコンピュータ）との接続の状態を示す。ここで、301はスキャナ、302はキーボード等の入力操作手段を具えたパーソナルコンピュータ、303はレーザービームプリンタ（LBP）、および304はCRTディスプレイ装置である。同図に示す様に、スキャナ301から外部装置302、303、304への画像

様な制御手順のプログラムをあらかじめ格納したROM（ランダムアクセスメモリ）等を内蔵するマイクロプロセッサである。

108はセレクト104に供給される切換信号を発生する切換信号発生器であり、CPU107の指令信号により切換信号の時間幅（パルス幅）を任意に設定できる。109はインタフェース（I/F）回路であり、外部装置と画像処理回路106およびCPU107との間の信号の伝送を行う。

第3図は第2図のセレクト104の出力クロックのタイミングを示す。

同図に示すように、セレクト104は、切換信号発生器108から供給される切換信号が無効画素区間を示すL（ローレベル）の期間において、パルス幅が比較的短い無効画素クロック2を出力クロックΦ_{1A}、Φ_{2A}およびRSに選択して出力し、また、切換信号が有効画素区間を示すH（ハイレベル）の期間において、パルス幅が比較的長い有効画素クロック1を出力クロックΦ_{1A}、Φ_{2A}およびRSに選択して出力する。このよう

信号の出力は第2図のインタフェース回路109を介して行なわれる。

第6図（A）は第5図のスキャナ301の内部構造の一例を示し、第6図（B）はスキャナ301の原稿載置位置を示す。ここで、10は基準濃度被写体（例えば、白色基準板）である。11は第2図のCPU107を含む制御ユニット、13は第2図のセレクト104を含むCCDドライバ（駆動回路）、14は結像レンズ、15は原稿照明用蛍光灯ユニット、16は原稿反射光の光路を偏向してCCD101に導く反射ミラー、17はブラテンガラス、18はブラテンガラス17上の原稿、18Aはブラテンガラス17上の原稿載置部、19はブラテンカバーである。

第7図は第2図のCCD101の暗時出力電圧温度特性を示す。すなわち、同図のグラフは、暗時出力電圧と周囲温度とCCD蓄積時間の関係を示している。同図からわかるように、同一の周囲温度では暗時出力電圧が高いほどCCDの蓄積時間は長くなる。

第8図のフローチャートは第2図CPU107の本発

明に関する制御手順を示す。次に、第2図から第8図までを参照して、本発明の一実施例の全体的な画像読取り動作の説明を行う。

まず、第2図および第6図(A)に示す様に、ブラテンガラス(原稿台ガラス)17上の原稿18を原稿照明用蛍光灯ユニット15内の蛍光灯で照明し、原稿18の反射光を結像レンズ14によりCCD101上に導き、原稿像をCCD101上に結像させる。その際、原稿18はブラテンガラス17上に第6図(B)に示す様に同図の右端が原稿の先端となる様に載置される。また、走査光学系である原稿照明用蛍光灯ユニット15は第6図(A)において上記の右端が初期位置となり、図示しない光学位置センサによりその初期位置が確認される。

また、ブラテンガラス17上に原稿18が置かれた状態で外部装置のパーソナルコンピュータ302から各種の処理モードの指示がインタフェース109を通じてスキャナ301のCPU107に入力される。この処理モードの指示は、例えば画素密度を300dpi(ドット/インチ)、200dpi、150dpi、75dpiのい

タ302に画像信号出力許可の制御信号を出して、原稿走査によりCCD101で読取られた画像信号を外部装置であるパーソナルコンピュータ302に送る。

蛍光灯ユニット15を含む光学系の走査長はCPU107が光学系駆動用モータ(図示せず)を駆動する駆動信号のバルス数により一義的に決定されるので、CPU107は原稿サイズに応じた必要なバルス数を上記のモータに出力した時点で、原稿読取り終了と判断して蛍光灯を消灯し、画像信号出力不可の制御信号をインタフェース回路109を通じてパーソナルコンピュータ302へ出力して、かつ上記のモータの反転制御を行う。

上述のCPU107のモータ反転制御により、原稿照明用蛍光灯ユニット15は第6図(A)の矢印1Aの方向に進み、図示しない光学位置センサにより蛍光灯ユニット15が初期位置(ホームポジション)に到達したことを検出された時に、CPU107により停止させられる。

この光学系の戻り区間に外部装置のパーソナル

コンピュータ302から次の原稿読取り開始指令が来ない場合には、蛍光灯ユニット15は初期位置に停止し、原稿読取り動作は終了する。

次に、第2図、第3図、および第4図を参照してCCD101の蓄積時間の制御の詳細について説明する。

第4図に示す様に、本実施例で使用したCCD101の1ライン出力画素は2684画素とし、実際に使用する画素(有効画素と称する)を1000画素とする。また、CCD101は第2図の可変増幅器102の周波数特性、および画像処理回路106のスループットにより1画素当たり1 μ Sの画像読取り速度の制限を受けているものとする。

そこで、クロック発生器105の有効画素クロック1は1画素当たり1 μ S(1MHz)とし、無効画素クロック2をその半分の1画素当たり0.5 μ S(2MHz)で送るものとする。このとき、切換信号発生器108には上述のようにしてCPU107により有効画素として1000画素分の切換信号のバルス幅が設定されている(ステップS1)。

また、同様にパーソナルコンピュータ302から与えられる有効読取幅(例えば、原稿サイズデータ)の指示をCPU107で受信し、CPU107はこの指示に基づいて有効画素幅を切換信号発生器108に設定しておく(第8図のステップS1参照)。

次に、外部装置のパーソナルコンピュータ302から原稿読取り開始指令がインタフェース109を通じて入力されると、CPU107は蛍光灯ユニット15を原稿の長手方向に移動する図示しない光学系駆動用モータを起動し、蛍光灯ユニット15が上記の原稿先端位置まで到達したとき、図示しない光学位置センサの検出信号に応じてCPU107は、インタフェース回路109を通じてパーソナルコンピュータ302から次の原稿読取り開始指令が

来ない場合には、蛍光灯ユニット15は初期位置に停止し、原稿読取り動作は終了する。

以上の切換信号の設定を行うことにより、セクタ104の出力クロックは第3図に示す様なタイミングとなり、従って、CCD101の全体の蓄積時間は従来装置のように画像読取り速度の切換を行わない場合の 2.684ms から、 $1.0\text{ms} + 0.842\text{ms} = 1.842\text{ms}$ へと略7/10に短縮させることが可能となる。無効画素クロック2の周波数をさらに高くすれば、さらに蓄積時間を短くすることができる。

このように、蓄積時間が短くなれば、CCD101の出力レベルは蓄積時間の短縮に比例して減少するので、CPU107はCCDの蓄積時間、すなわち、有効画素読取幅の値に基づいて可変増幅器102の増幅度(増幅率)を画像読取り前に計算し(ステップS2)、あらかじめ可変増幅器102にその増幅度を設定する(ステップS3)。

ここで、CCD101の蓄積時間と可変増幅器の増幅度は逆比例で1対1に対応するので、上記計算の代りにCPU107内のROM上にCCDの蓄積時間を読出しアドレスとして増幅度が読み出せるテーブルを具備するように構成してもよい。この様に構成す

さらにまた、上述した本発明実施例では有効画素の読取り幅(区間、時間幅)の指示を外部装置であるパーソナルコンピュータから受けていたが、本発明はこれに限らず、画像読取装置の図示しない操作パネルからのサイズ指示、あるいは原稿サイズ検知信号等に基づいてその読み取り幅を設定してもよい。

[発明の効果]

以上説明したように、本発明によれば以下の様な効果が得られる。

(I) 固体撮像素子の画素読出し速度(駆動周波数)を切換えて無効な画素を有効な画素よりも高速で送る様にしたので、固体撮像素子の蓄積時間を短くでき、全体の画像読取り速度を上げることが可能となる。

(II) 固体撮像素子の有効画素読出し速度での読み取り範囲(時間幅)のみを任意に設定可能としたので、画像を読みたいエリアだけ正規の画素読出し速度で有効画素を読出し、無効画素を高速で

れば、インタフェース109を通して外部装置から有効画素の幅を任意に設定し、蓄積時間がそれにより変化しても一定のCCD出力レベルを得ることができる。

次いで、CPU107はクロック発生器105にCCD蓄積時間(信号SHに対応)を設定し(ステップS4)、前述したように原稿の画像読取処理を実行する(ステップS5)。

③他の実施例

上述した本発明実施例ではCCD101の素子の外部に画素読出し速度を切換える回路を配設した例を示したが、この回路は集積回路技術によりCCD内に内蔵させることも可能であることは勿論である。

また、本発明は、CCDに限らず、88D(バケットブリッジデバイス)等の他の種類の固体撮像素子にも同様に適用できる。

また、本発明は、書籍等の原稿に限らず、マイクロフィルムのような透明な原稿の画像読取を行う装置にも適用できる。

送れるので、画像読取装置全体のスループットを向上することが可能となる。

(III) 固体撮像素子の蓄積時間を短くできるので、画像読取装置の階調性を上げた場合に、暗時出力電圧の画像読取装置への影響を少なくすることが可能となる。

4. 図面の簡単な説明

第1図は、本発明実施例の基本構成を示すブロック図、

第2図は、本発明の一実施例の画像読取装置の回路構成を示すブロック図、

第3図は、第2図のセクタの出力クロックのバルス幅と切換信号との関係を示すタイミング図、

第4図は、第2図のCCDの出力信号と駆動クロックの関係を示すタイミング図、

第5図は、第2図の実施例の画像読取装置と外部装置との接続状態の一例を示すブロック図、

第6図(A)は、第5図の画像読取装置の内部構

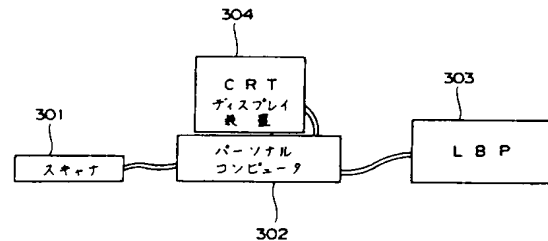
造を示す縦断面図、

第6図(B)は、第5図(A)の上面の構成を示す平面図、

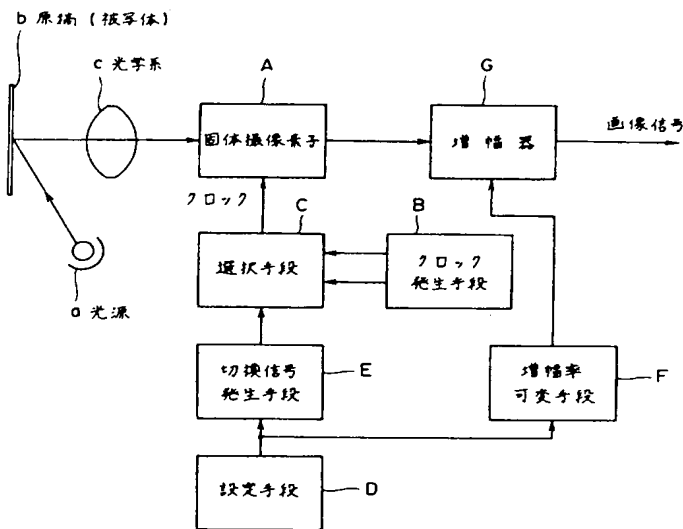
第7図は、第2図のCCDの暗時出力電圧と周囲温度とCCDの蓄積時間の関係を示す特性図、

第8図は第2図のCPUの制御手順を示すフローチャートである。

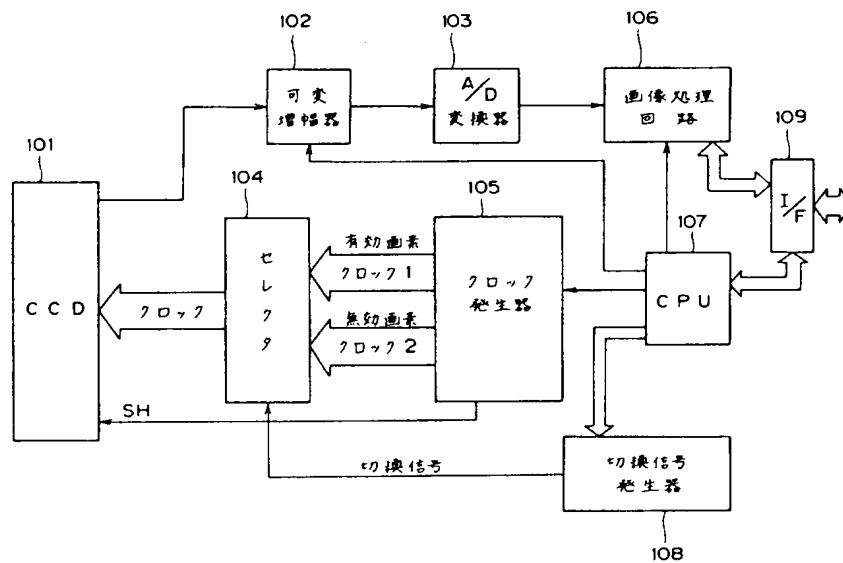
- 101 … CCD、
- 102 … 可変増幅器、
- 103 … A/D変換器、
- 104 … セレクタ、
- 105 … クロック発生器、
- 106 … 画像処理回路、
- 107 … CPU、
- 108 … 切換信号発生器、
- 109 … インタフェース回路、
- 301 … スキャナ、
- 302 … パーソナルコンピュータ。



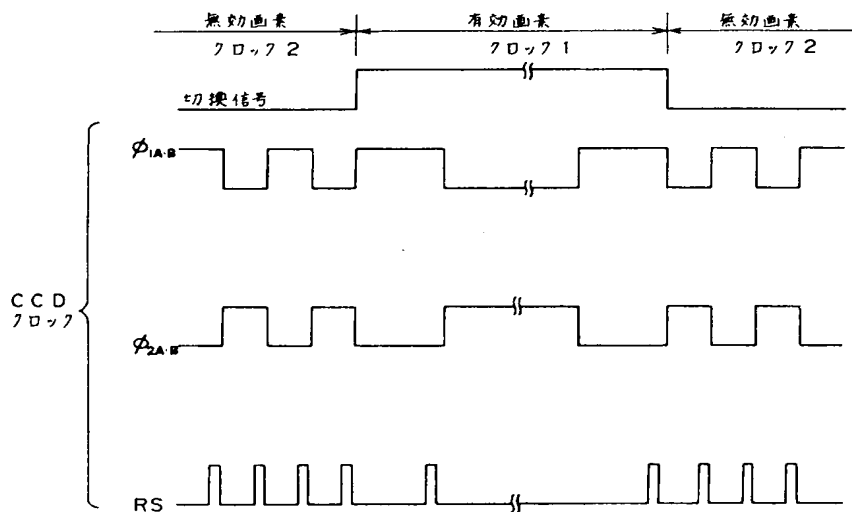
実施例の外部装置との接続を示すブロック図
第5図



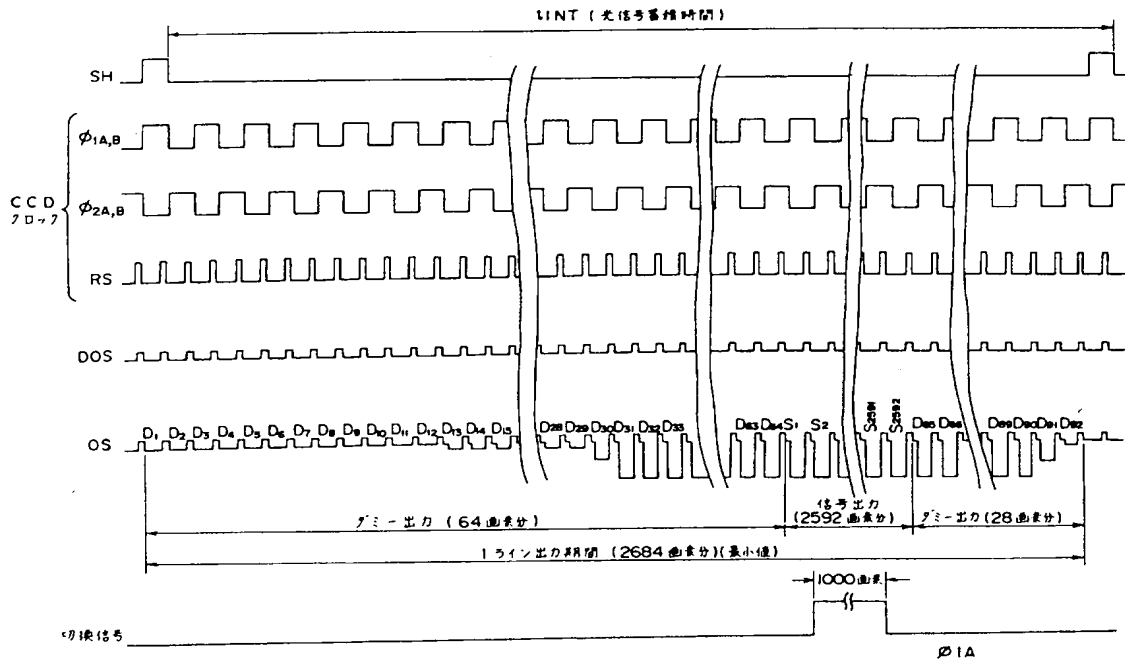
実施例の基本構成のブロック図
第1図



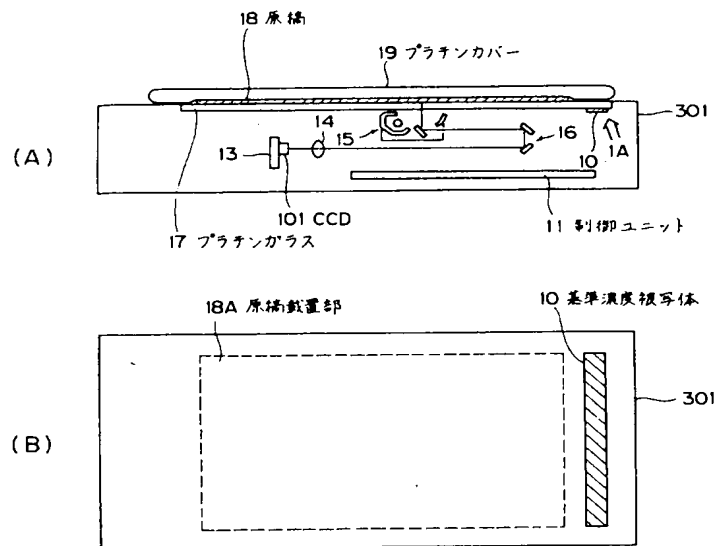
実施例の回路構成のブロック図
第 2 図



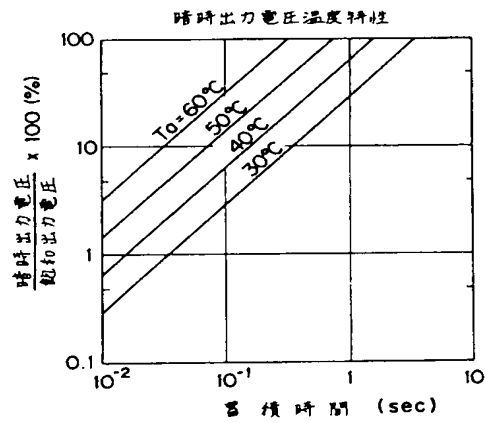
実施例のセレクタの出力クロックのタイミング図
第 3 図



実施例のCCDの出力信号のタイミング図
第4図

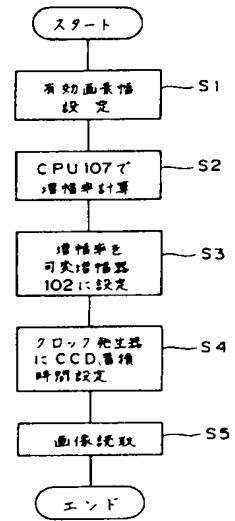


実施例の画像読取装置の断面図および平面図
第6図



実施例のCCDの暗時出力電圧と蓄積時間の関係を示す特性図

第 7 図



実施例の制御手順を示すフローチャート

第 8 図

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-177156

(43)Date of publication of application : 01.08.1991

(51)Int.Cl. H04N 1/028
H04N 1/04

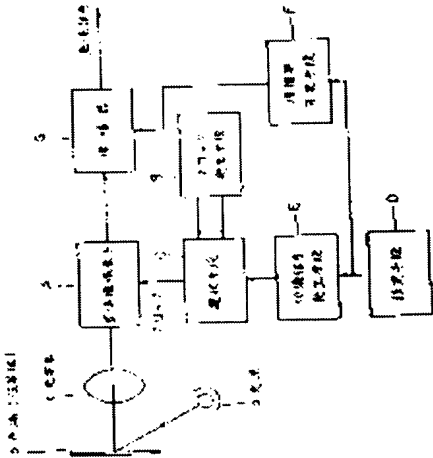
(21)Application number : 01-315418 (71)Applicant : CANON INC
(22)Date of filing : 06.12.1989 (72)Inventor : TAKEUCHI TOSHIYUKI

(54) PICTURE READER

(57)Abstract:

PURPOSE: To improve the read speed of the entire picture by switching a picture element read speed (drive frequency) of a solidstate image pickup element so as to send invalid picture elements faster than valid picture elements.

CONSTITUTION: A selection means C selects either one of two kinds or more of clocks and gives the selected clock to a solid-state image pickup element A in response to a switching signal representing a valid picture element being an object of use and an invalid picture element being an object of not in use within a charge storage time of the solid-state image pickup element A. Then the clock frequency is changed over to switch the picture read speed of the solid-state image pickup element A. Thus, invalid picture elements in one line are sent at a picture element read speed as fast as possible to reduce the storage time of the solid-state image pickup element thereby improving the picture read speed.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

[Means for Solving the Problems]

In order to achieve the above-described object, the present invention is characterized in that an image reader comprises an optical system to focus the light from an original illuminated by a light source, and a solid image pickup element to convert the focused optical image into the electric signal, and further comprises a clock generation means to generate two or more kinds of image reading clocks of different image reading speeds, and a selection means which uniquely selects any one of the two or more kinds of and supplies it to the solid image pickup element according to the switch signal to indicate the valid pixel to be used and the invalid pixel not to be used within the charge accumulation time of the solid image pickup element.

An embodiment of the present invention comprises a setting means to set the time width of switching the pixel reading speed within the accumulation time of the solid image pickup element, a switch signal generation means to generate the switch signal based on the setting of the setting means, an amplification ratio variable means capable of variably setting the amplification ratio based on the time width of switching the pixel reading speed set by the setting means, and an amplifier to amplify the output signal

of the solid image pickup element with the amplification ratio set by the amplification ratio variable means.

[Operation]

(I) In the present invention, invalid pixels in one line can be transmitted at a pixel reading speed as high as possible by preparing two or more kinds of pixel reading speeds, and switching the pixel reading speed of a solid image pickup device during the accumulation time of one line of the solid image pickup element, and the accumulation time of the solid image pickup device can be shortened thereby.

(II) Further, in the present invention, pixels other than the valid pixels are transmitted at a high speed by providing a means to set the time width at the valid pixel reading speed to be switched during the accumulation time of one line to be an arbitrary value, and the throughput of the entire image reader can be improved.

(III) Still further, changes of the output signal of the solid image pickup element can be corrected by the change of the accumulation time by providing an amplifier capable of varying the amplification degree in an interlocking manner with the width of the valid pixel.

(2) First embodiment

Fig. 2 shows the circuit configuration of an image reader according to an embodiment of the present invention. In the figure, reference numeral 101 denotes a CCD (Charge Coupled Device) as a solid which receives the reflected light from an original illuminated by an illumination light source (the transmitted light in a case where the original is not paper but a microfilm) via a focusing optical system and converts the light into the electric signal. The CCD 101 is also referred to as a CCD line sensor or a CCD array or a CCD image sensor. Reference numeral 102 denotes a variable amplifier to amplify the analog output signal obtained from the CCD 101, and reference numeral 103 denotes an A/D (Analog/Digital) converter to convert the analog signal output from the variable amplifier 102 into the digital signal.

Reference numeral 104 denotes a selector which is also used for a CCD driver to uniquely select the valid pixel clock 1 and the invalid pixel clock 2 according to the below-described switch signal, and reference numeral 105 denotes a clock generation circuit to generate the valid pixel clock 1 and the invalid pixel clock 2.

Reference numeral 106 denotes an image processing circuit to perform the predetermined image processing to the

digital signal obtained from the above-described A/D converter 103, for example, shading correction and γ correction, or the concentration adjustment or the like. Reference numeral 107 denotes a CPU (Central Processing Unit) to perform the control of the entire device, which is a microprocessor having a ROM (Random Access Memory) or the like to store a program of the control procedure in advance as shown in Fig. 8 built therein.

Reference numeral 108 denotes a switch signal generator to generate the switch signal to be supplied to the selector 104, which arbitrarily sets the time width (the pulse width) of the switch signal by the command signal of the CPU 107. Reference numeral 109 denotes an interface (I/F) circuit, which transmits the signal between an external device and the image processing circuit 106 and the CPU 107.

Fig. 3 shows the timing of the output clock of the selector 104 in Fig. 2.

As shown in the figure, the selector 104 selectively outputs the invalid pixel clock 2 of the relatively short pulse width to the output clocks $\Phi_{1A, B}$, $\Phi_{2A, B}$ and RS during the L (low level) period in which the switch signal supplied from the switch signal generator 108 indicates the invalid pixel section, and selectively outputs the valid pixel clock 1 of the relatively long pulse width to the output clocks $\Phi_{1A, B}$, $\Phi_{2A, B}$ and RS during the H (high level) period in which the

switch signal indicates the valid pixel section. As described above, in comparison with the conventional technology in which the CCD is read and controlled with all the pulse width of the valid pixel clock to the invalid pixel, the invalid pixel in one line can be transmitted at the reading speed as high as possible, much rapidly than the valid pixel. Thus, the accumulation time of the solid image pickup element can be considerably shortened, and the throughput of the entire image reader can be improved.

FIG. 2

BLOCK DIAGRAM OF CIRCUIT CONFIGURATION ACCORDING TO
EMBODIMENT

102 VARIABLE AMPLIFIER
103 A/D CONVERTER
104 SELECTOR
105 CLOCK GENERATOR
106 IMAGE PROCESSING CIRCUIT
108 SWITCH SIGNAL GENERATOR
(1) CLOCK
(2) VALID PIXEL
(3) CLOCK 1
(4) INVALID PIXEL
(5) CLOCK 2
(6) SWITCH SIGNAL

FIG. 3

TIMING DIAGRAM OF OUTPUT CLOCK OF SELECTOR ACCORDING TO
EMBODIMENT

(1) INVALID PIXEL
(2) CLOCK 2

- (3) SWITCH SIGNAL
- (4) VALID PIXEL
- (5) CLOCK 1
- (6) INVALID PIXEL
- (7) CLOCK 2
- (8) CCD CLOCK